



백서

# 엔비디아 Tegra 4 제품군 CPU 아키텍처

## 4-PLUS-1 쿼드 코어

## 목차

소개.....	3
엔비디아 Tegra 4 모바일 프로세서 제품군.....	4
CPU 성능 벤치마킹.....	5
높은 성능과 전력 효율성을 제공하도록 설계된 Tegra 4 제품군 CPU.....	7
처리량 확장을 위한 와이드 이슈 실행 유닛.....	7
비순차적 실행을 위한 확대된 명령어 윈도우의 개선된 메모리 레벨 병렬성.....	8
더 큰 L1 데이터 캐시를 지원하는 빠른 Load-To-Use 로직.....	9
효율성을 높이는 향상된 분기 예측 기능.....	11
MLP 를 높이고 지연율을 낮추기 위한 향상된 프리페처.....	12
대용량 통합 L2 캐시.....	13
향상된 Cortex-A15 의 전력 효율.....	14
다섯 번째 배터리 세이버 CPU 코어.....	15
결론.....	17
부록.....	19

## 소개

엔비디아는 지난 2011 년, **최초의** 멀티 코어 모바일 SoC(System-on-a-Chip) 프로세서인 **Tegra® 2** 를 발표하고 모바일 컴퓨팅의 판도를 바꾸며 **이 분야를 선도하고 있다.** Tegra 2 는 세계 최초의 듀얼 코어 모바일 프로세서로서 태블릿과 스마트폰에 탑재되기 시작해 높아진 성능, 더 길어질 배터리 수명, 향상된 사용자 환경을 제공했다. 최고 사양의 스마트폰과 태블릿이 빠르게 도입되면서 소비자는 일상적인 컴퓨팅 및 엔터테인먼트용 기기로서 그러한 장치에 점점 더 많이 의존하게 되었다.

Tegra 3 의 출시와 함께 엔비디아는 세계 최초의 **4-PLUS-1™** 쿼드 코어 모바일 프로세서를 공급하기 시작했다. 이 고유한 4-PLUS-1 아키텍처는 높은 성능이 요구되는 애플리케이션에 4 개의 CPU 코어를 활용하고 요구 성능이 낮은 애플리케이션과 장치가 유휴 상태일 때 실행되는 백그라운드 작업에 **배터리 세이버(Battery Saver) 코어**를 사용한다. 이와 같은 독특한 코어의 조합은 소비자가 완전한 기능을 갖춘 웹 브라우징, 콘솔급 게임, 극단적인 멀티태스킹, 사진 및 비디오 편집을 실행하면서 배터리 수명을 늘릴 수 있도록 향상된 성능을 구현한다.

차세대 멀티 코어 모바일 프로세서는 대폭 향상된 성능을 제공하여 스마트폰과 태블릿에서 PC 에 버금가는 생산성, 소셜 네트워킹, 멀티미디어 및 콘솔 품질의 게임 환경을 지원할 것으로 예상된다. 아울러 운영 체제에서도 새로운 기능과 향상된 기능, 더 빠르고 다채로우며 효율적인 사용자 인터페이스, 향상된 애플리케이션 성능을 제공하기 위해 모바일 프로세서의 향상된 성능을 계속 활용한다.

Tegra 4 와 같은 강력한 SoC 디바이스가 개발되면서 스마트폰, 태블릿, 노트북 PC 의 처리 능력이 점점 비슷해지고 배터리 수명의 저하 없이 PC 급 성능을 제공하는 모바일 장치에 대한 소비자의 기대치가 높아지고 있다. 높은 해상도의 디스플레이, Miracast™와 같은 무선 디스플레이 솔루션 및 콘솔급 모바일 게임 덕분에 소비자들은 앞으로 태블릿과 스마트폰을 휴대용 게임 장치로는 물론 가정용 게임 콘솔로도 사용하게 될 것이다.

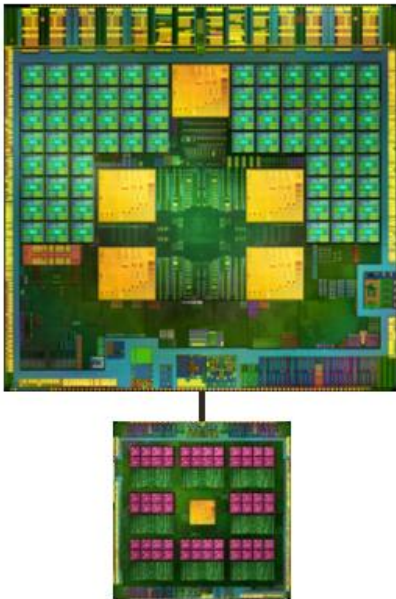
엔비디아의 새로운 **Tegra 4** SoC 프로세서 제품군은 새롭게 나타나는 이 다양한 모바일 활용 사례의 과제들을 해결하도록 설계되었다.

## 엔비디아 Tegra 4 모바일 프로세서 제품군

엔비디아 Tegra 4 는 세계 최초의 **ARM Cortex-A15** 기반 **쿼드 코어 CPU** 아키텍처로, 요구 사항이 높은 모바일 애플리케이션을 위한 뛰어난 성능과 향상된 배터리 수명을 제공한다. 또한 2 세대 **배터리 세이버 CPU** 코어와 **vSMP (Variable Symmetric Multiprocessing)** 기술이 추가되어 성능과 배터리 수명이 한층 더 향상되었다.

Tegra 4 는 Tegra 3 보다 처리 속도가 훨씬 빠르고 전력 효율성도 높다. 따라서 같은 양의 전력을 소비하면서도 더 빠른 성능과 더욱 풍부한 그래픽을 구현한다.

### Tegra 4 *World's Fastest Mobile Processor*



### Tegra 4i *1<sup>st</sup> Integrated Tegra 4 LTE Processor*

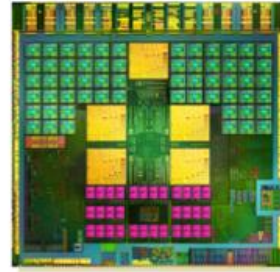


그림 1 엔비디아 Tegra 4 제품군

엔비디아 **Tegra 4i** 는 Tegra 4 아키텍처를 기반으로 하며, Tegra 4 의 우수한 폰 환경을 메인스트림 스마트폰에서 구현하고 엔비디아의 LTE i500 SDR 모뎀이 단일 칩에 통합되어 있다. Tegra 4i 에는 최고 효율을 자랑하는 ARM 의 최신 코어, **Cortex-A9 r4** CPU 가 2.3GHz 의 쿼드

코어로 구현되어 다섯 번째 배터리 세이버 코어와 함께 사용되며, 크기는 경쟁사 쿼드 코어 통합 LTE 모바일 프로세서의 절반에 불과하다.

엔비디아의 지원을 받아 ARM 에서 개발한 Tegra 4i 의 새로운 CPU 는 Tegra 3 에 사용된 이전 버전 Cortex-A9 에 비해 2 배 높은 성능을 제공하면서 효율성과 성능의 새로운 기준을 제시하고 있다. Tegra 4i 는 초고속 웹 브라우징 기능과 빠른 애플리케이션 로드 시간, 그리고 우수한 배터리 수명을 제공한다.

## CPU 성능 벤치마킹

일반적으로 디바이스나 설계의 성능을 평가할 때는 벤치마크가 주로 사용된다. 즉, 벤치마크 결과를 설계의 실제 성능과 연관 짓는 경우가 많다. 따라서 CPU 아키텍처의 성능을 평가하려면 CPU 의 성능을 벤치마킹하는 데 사용되는 워크로드가 실제 애플리케이션과 프로그램에서 발생하는 워크로드와 비슷해야 한다.

시간이 지나면서 CPU 의 성능을 평가하는 여러 가지 벤치마크가 개발되었다. CPU 벤치마킹에 사용되는 벤치마크로는 Dhrystone MIPS 와 Coremark 가 널리 알려져 있다. DMIPS 라고도 하는 Dhrystone MIPS 는 30 년 전에 CPU 정수 처리 성능을 나타낼 용도로 개발된 종합 벤치마크이다.

아쉽게도 30 년 전 CPU 아키텍처가 훨씬 단순하고 외부 메모리의 속도에 크게 좌우되던 시절에는 DMIPS 가 유용했지만 지금은 실제 애플리케이션에서 요구되는 성능을 정확하게 반영하지 못하기 때문에 효용성이 없다. DMIPS 가 성능 지표로 사용되기에는 중대한 문제가 있다. 바로 오늘날의 모바일 프로세서에서는 벤치마크 코드가 온전히 L1 캐시에 상주한다는 것이다. 따라서 L1 캐시 누락 처리 로직, L2 캐시 또는 SoC 메모리 시스템을 실행하지 않는다. 원래 Dhrystone 벤치마크를 만들었던 개발자는 1999 년에 이미 이에 대해 언급했다.

*“ DMIPS 는 너무 짧고 온칩 캐시에 상주하며 메모리 시스템에 중점을 두지 않기 때문에 최신 워크로드를 벤치마킹하는 데 유용하다고 할 수 없다 ”*

*DMIPS 벤치마크 작성자(Weicker), EDN Magazine, 1999 년 10 월 28 일*

마찬가지로, Coremark, Linpack 등 널리 사용되는 다른 벤치마크도 CPU 성능의 특정 부분만 테스트하도록 작성되었다. Coremark 는 ALU 와 FPU 의 성능만 테스트하며, Linpack 은 CPU 의 부동 소수점 유닛 성능만 측정한다.

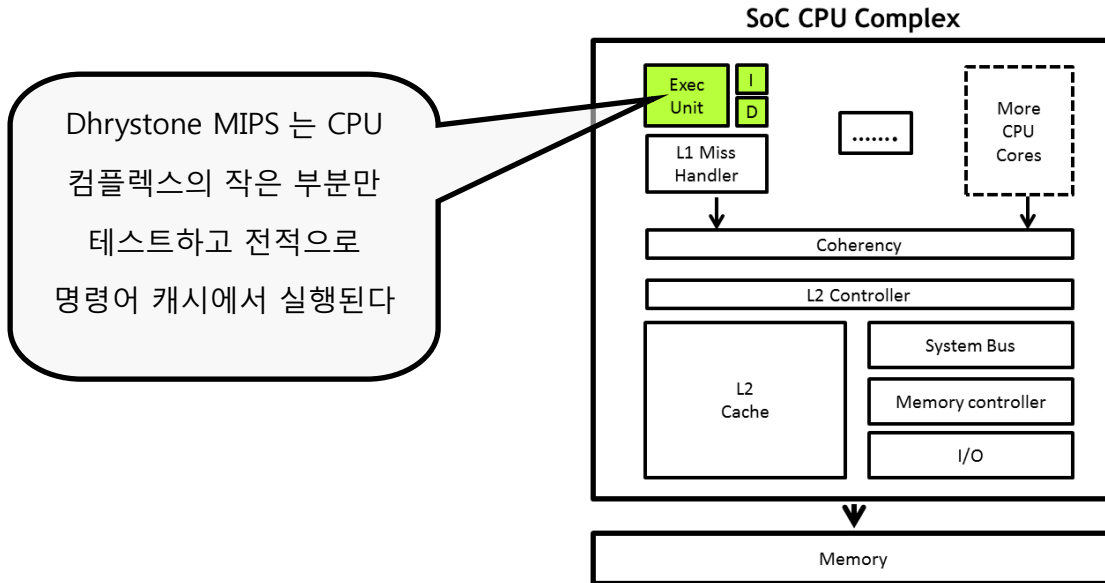


그림 2 CPU 컴플렉스의 작은 부분만 벤치마킹하는 Dhystone MIPS

실질적인 CPU 성능을 포괄적으로 보여 주는 벤치마크로는 SPECint 벤치마크가 있다. 이 벤치마크는 종합적인 테스트가 아니라 파일 압축, 워드 프로세싱, 게임, 데이터베이스 관리 등 다양한 실제 애플리케이션의 커널을 구체적으로 사용한다.

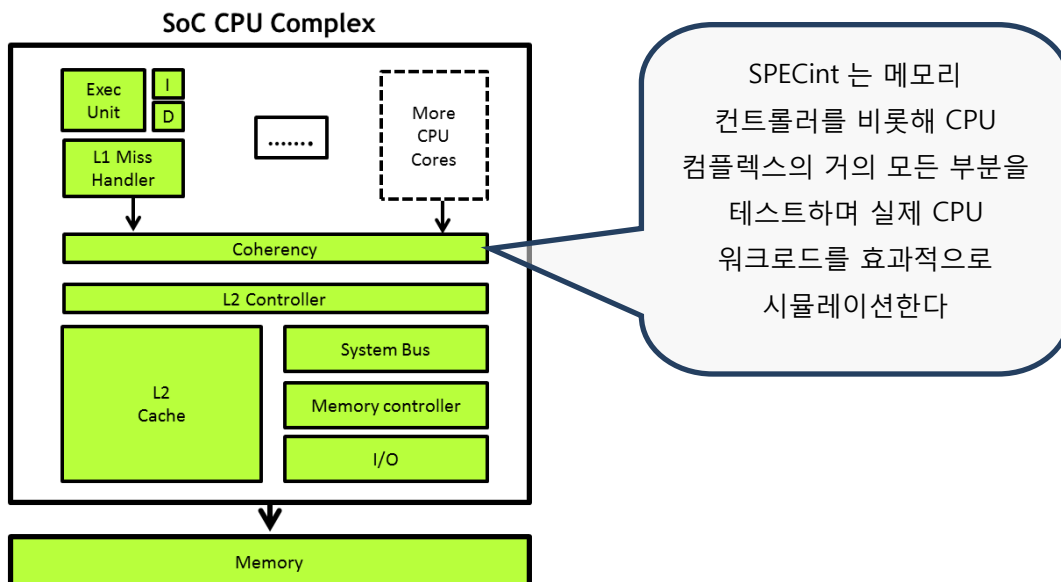


그림 3 전체 CPU 를 테스트하며 실제 애플리케이션과 유사한 워크로드를 시뮬레이션하는 SPECint

## 높은 성능과 전력 효율성을 제공하도록 설계된 Tegra 4 제품군 CPU

현 세대의 모바일 애플리케이션은 기존 모바일 프로세서의 성능을 높이는 견인차 역할을 했다. 멀티 코어 CPU 아키텍처와 더 높은 작동 주파수로의 변화 덕분에 프로세서는 갈수록 커지는 성능 요구 사항을 어느 정도 충족할 수 있게 되었다. 하지만 차세대 PC 급 모바일 애플리케이션에서는 더 커져가는 성능 요구 사항을 충족하기에 충분한 성능상의 여유를 제공함과 동시에 모바일 장치에서 허용되는 한도 이내로 전력 소모도 유지할 수 있는 새로운 CPU 아키텍처가 요구된다.

Tegra 4의 Cortex-A15 CPU 아키텍처와 Tegra 4i의 Cortex-A9 r4 CPU 아키텍처는 모두 기존 세대 아키텍처보다 여러 가지 향상된 기술이 적용되어 두 제품에 해당하는 각 디바이스 클래스에서 기존 솔루션보다 최고 2 배 높은 성능을 제공한다. 아래에서는 이 두 아키텍처의 향상된 주요 기능에 대해서 설명한다.

### 처리량 확장을 위한 와이드 이슈 실행 유닛

Cortex-A15 CPU 아키텍처에는 실행 유닛이 8 개 있어 클럭당 8 개의 명령어를 실행할 수 있다. Cortex-A9의 경우 클럭당 5 개의 명령어가 실행된다. 하지만 실행 유닛은 효과적으로 사용되지 않으면 의미가 없다. 늘어난 실행 유닛을 최대한 효과적으로 활용하려면 아키텍처에서 심도 있는 비순차적 실행을 지원함으로써 ILP(명령어 레벨 병렬성) 수준을 높이는 한편, 캐시 누락을 조기에 감지하여 MLP(메모리 레벨 병렬성)를 높여야 한다. 또한 작업 효율성을 높일 수 있는 정확한 분기 예측 기능도 필요하다.

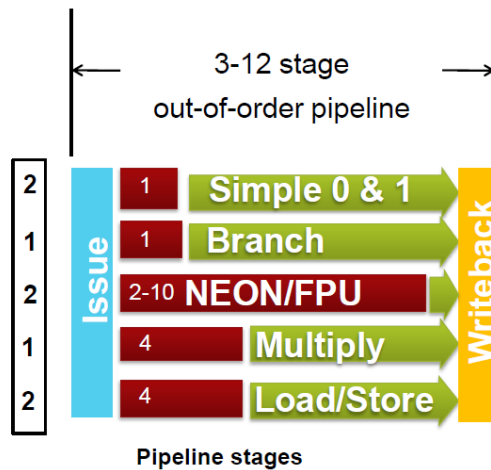


그림 4 ARM Cortex-A15 CPU 의 8 개 실행 유닛

### 비순차적 실행을 위한 확대된 명령어 윈도우의 개선된 메모리 레벨 병렬성

CPU 성능은 메모리에 대한 지연을 얼마나 줄이는지에 따라 크게 좌우된다. CPU 가 유휴 상태로 메모리에서 데이터가 인출되기를 기다리게 되면 CPU 의 성능 효율성이 크게 저하된다. 따라서 더 크고 효과적인 CPU 캐시를 사용하여 캐시 누락 수(메모리로부터의 데이터 인출 작업을 트리거하는)를 줄이는 것뿐만 아니라 MLP(메모리 레벨 병렬성 - 동시에 실행되는 시스템 메모리로부터의 데이터 인출 작업 수)를 높이는 것도 중요하다. 시스템 메모리에서 CPU 로 다시 데이터를 인출할 경우 발생하는 실질적인 지연 시간은 메모리 인출 1 회의 지연 시간을 병렬(MLP)로 실행 가능한 메모리 인출 작업 수로 나눈 것과 같다.

따라서 CPU 성능 효율성을 높이려면 여러 명령어를 미리 확인하여 캐시에서 누락될 수 있는 Load 명령어를 실행하는 것이 중요하다. 비순차 조회 윈도우가 클수록 그러한 Load 를 찾을 확률도 높아진다.



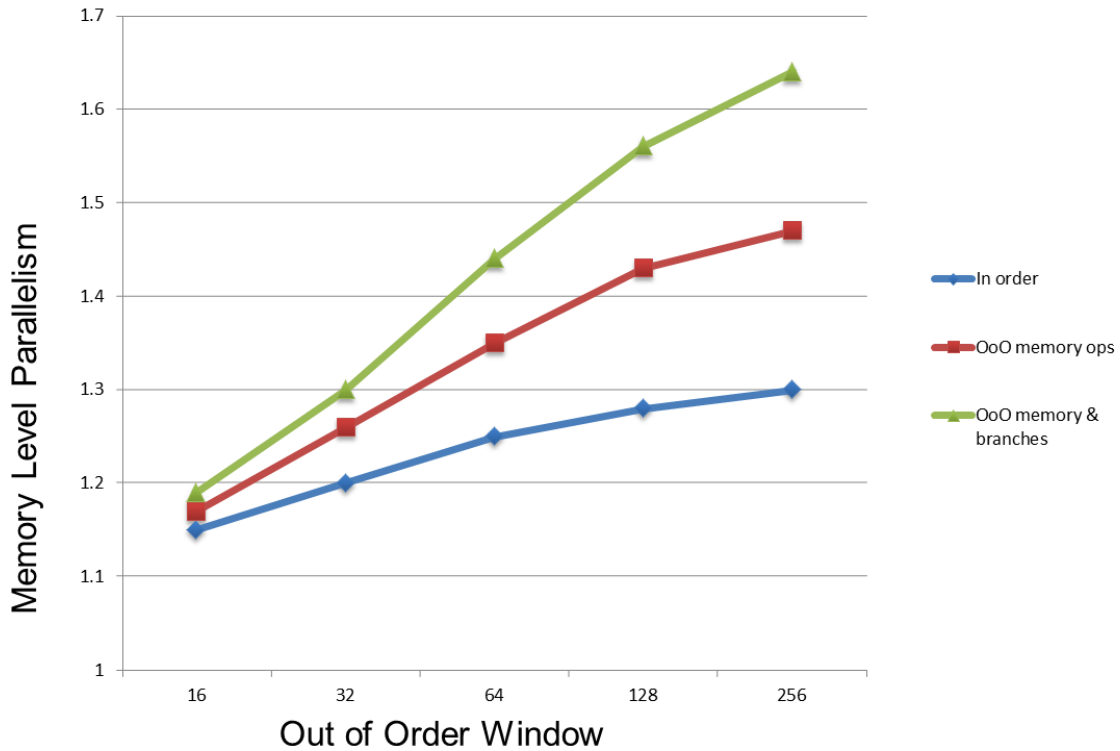


그림 5 메모리 레벨 병렬성과 비순차 윈도우 조회 크기 간의 관계

그림 3은 CPU 아키텍처에서 더 큰 비순차 윈도우를 적극적으로 사용하는 것이 얼마나 중요한지를 보여 준다. 애플리케이션에서 가용 MLP를 극대화하려면 메모리 연산과 분기 모두 비순차적으로 실행되어야 한다.

Cortex-A15 아키텍처는 조회 윈도우가 128 마이크로 연산으로 매우 크다. 따라서 MLP가 크게 향상되고 분기와 일부 메모리 연산이 비순차적으로 실행된다. 대부분의 ARM 명령어는 마이크로 연산과 1대1로 매핑되지만 일부 더 복잡한 CISC 형태의 명령어는 확장 가능한 2개 이상의 연산을 포함할 수 있다. 반면 Qualcomm Krait 프로세서 아키텍처는 비순차 윈도우가 명령어 40개에 불과해 MLP 지원 능력이 제한적이다.

모든 메모리 연산은 비순차적으로 수행할 수 있으며, 비순차 메모리 연산 실행의 유일한 제약 조건은 이전 저장소의 주소가 알려져야 한다는 것이다. 이러한 이유로 A15는 위의 그래프에서 완전한 비순차를 나타내는 녹색 선에 가깝다.

### 더 큰 L1 데이터 캐시를 지원하는 빠른 Load-To-Use 로직

현대 CPU 설계의 중요한 경로 중 하나는 이전 로드의 결과에 따라 연산이 실행되는 Load-To-Use 경로이다. 이 경로는 여러 복잡한 단계로 이루어진다.

- 주소 컴퓨팅을 위해 더하기
- 가상 주소를 물리적 주소로 변환
- 주소를 태그 내용과 비교
- 결과 캐시 라인에서 중요 데이터 선택
- 해당 데이터를 필요한 레지스터에 맞춤

Cortex-A15 는 느린 전체 더하기 연산을 실행하지 않고 비교의 적중 여부를 판단하는 데 필요한 데이터만 생성하는 매우 효율적인 로직 설계를 사용하여 더하기 및 변환 단계를 처리하는 로직을 결합한다. 이러한 단계를 결합하면 Load-To-Use 경로의 속도가 향상되고, 고속 32KB L1 데이터 캐시를 구현할 수 있게 된다. L1 캐시의 크기가 커지면 일반적으로 작은 캐시보다 낮은 클럭 속도로 실행해야 한다는 제약을 극복하는 것이다. 실제로 Krait 와 같은 경쟁 아키텍처는 L1 데이터 캐시 크기가 16KB 로 제한된다. 그림 6 은 SPECint 테스트에서 데이터 캐시 크기가 미치는 영향을 보여 준다. 이를 통해 32K 데이터 캐시의 중요성을 알 수 있다.

Cortex-A9 r4 는 동일한 로직과 32K 캐시를 결합하며, 역시 TLB 크기를 A15 와 같은 512 개 엔트리로 늘린다.

- Cortex-A15 와 Cortex-A9 r4 는 효율성이 높은 Load-To-Use 경로 지원
- Cortex-A15 와 Cortex-A9 r4 는 32KB L1 데이터 캐시 사용
- Cortex-A9 r4 에는 Cortex-A15 의 확장된 변환 색인 버퍼(TLB: Translation Lookaside Buffer)도 포함되어 있음

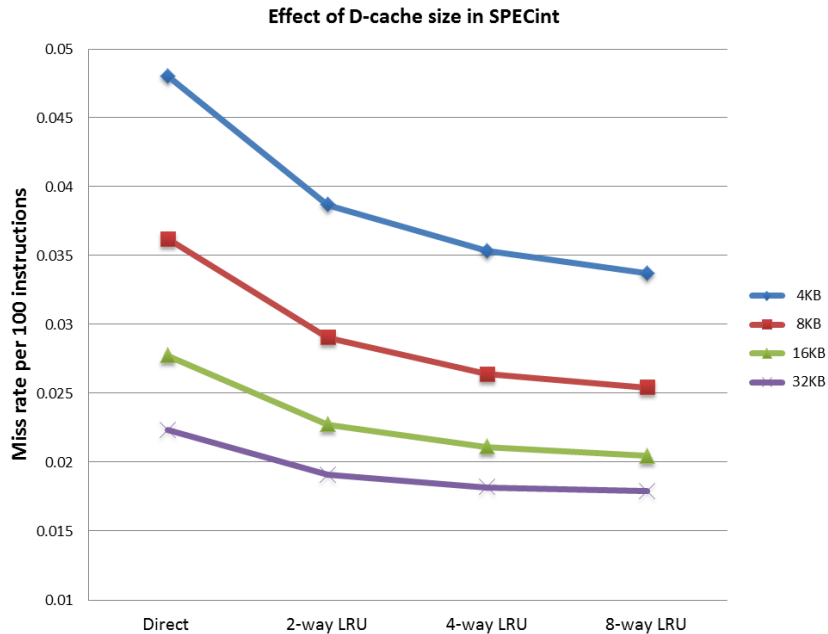


그림 6 데이터 캐시 크기가 캐시 실패율 및 CPU 성능에 미치는 영향

### 효율성을 높이는 향상된 분기 예측 기능

정확한 분기 예측은 MLP 를 확보하고 낭비되는 작업량을 방지하여 비순차 효율성을 높이는 데 있어서 매우 중요하다. Cortex-A15 에는 다음 기능을 갖춘 고급 분기 예측 메커니즘이 내장되어 있다.

- 애일리어싱된 서로 역방향으로 분기되는 분기 간의 간섭을 줄이는 양방향 모드 예측기. 양방향 모드 예측기에 대해서는 인터넷에 자세하게 설명된 자료가 많다.
- 추측 오류를 빠르게 수정하여 불필요한 작업을 방지하는 비순차 해결 분기
- 추측 pop 및 push 에서 반환 주소 스택 수정. A15 와 같은 공격적인 비순차적 처리 머신은 추측 인출과 반환으로 반환 주소 스택을 손상시킬 수 있기 때문에 잘못된 추측을 수정하는 메커니즘이 통합되어 있다.
- 간접 분기 예측 메커니즘. 간접 분기는 웹 언어에 필요한 인터프리터에 일반적으로 사용된다. 이러한 간접 분기를 효과적으로 예측하기 위해 A15 에는 PC 와 대상의 이력을 기준으로 액세스되는 별도의 구조가 있다.
- 마지막으로, 콜드 BTB 누락을 예측하는 정적 예측 메커니즘이 필요하다.

Cortex-A9 r4 아키텍처에는 A15 와 같은 크기의 이력 레지스터가 있으며, 예측기 구조 크기도 동일하다. 이러한 향상된 요소들은 Cortex-A9 r4 CPU 가 Cortex-A15 아키텍처와 비슷한 수준의 예측 정확도를 제공하는 데 도움을 준다.

- Cortex-A9 r4 는 이력 버퍼 및 포화 카운터를 늘려 Cortex-A15 분기 예측과 같은 수준의 성능 제공

### MLP 를 높이고 지연율을 낮추기 위한 향상된 프리페처

고급 프로세서에서 MLP 를 높이기 위해 사용되는 다른 방법으로 하드웨어 프리페처(Hardware Prefetcher)가 있다. 프리페처는 사용되기 전에 미리 필요한 데이터를 예측함으로써 메모리 지연율을 낮추고 MLP 를 높인다. 특히 비순차적 처리 머신으로는 감지하지 못하는 일반적인 상황들이 있다. 예를 들어 일반적인 구조에서 프로그램이 메모리를 통해 링크로 연결된 목록을 따르는 경우 이전 로드가 완료되어 주소를 제공할 때까지 후속 로드를 실행할 수 없다. 스트라이드 감지 프리페처는 이 데이터를 미리 로드할 수 있다.

Cortex-A15 에는 L2 컨트롤러에 CPU 당 하나의 하드웨어 프리페처가 있다. 이 프리페처는 PC(프로그램 카운터)와 주소 비트를 모두 사용하여 스트라이드된 액세스를 감지하고 PC 를 사용하지 않고 발생하는 서로 다른 스레드 간의 애일리어싱을 방지한다.

프로그래밍 가능한 수의 프리페치를 수행하며, 리소스 호깅을 방지하는 하드웨어 스로틀링(Throttling) 메커니즘을 가지고 있다.

Cortex-A9 r4 에는 CPU 마다 역시 PC 와 주소를 모두 사용하는 새로운 L1 프리페처가 포함되어 있다. 전용 버퍼를 사용하므로 데이터가 적중할 때까지 L1 D 캐시로 할당하지 않는다. 자체적으로 효과성을 검사하여 비효과적일 때는 작동하지 않으며, 여러 스트림을 추적할 수 있다.

- Cortex-A9 r4 에는 L1 데이터 프리페처가 포함되어 있음
- Cortex-A9 r4 프리페처에는 전용 프리페치 버퍼가 있으며 여러 프리페치 스트림을 추적할 수 있음

## 대용량 통합 L2 캐시

CPU 에서 캐시는 시스템 메모리에 대한 오프칩 액세스 횟수를 줄이기 위해 사용된다. 캐시는 가장 많이 사용되는 데이터를 칩 내에 저장하여 CPU 가 더 빨리 데이터에 액세스할 수 있게 하고 CPU 의 성능과 효율성을 높인다. 엔비디아 Tegra 4 에 탑재된 쿼드 코어 ARM Cortex-A15 CPU 컴플렉스의 각 코어에는 자체 32KB 명령어 캐시와 32KB 데이터 캐시가 있다. 4 개 코어 모두 16 웨이 세트 조합(16-way Set Associative) 방식의 일반적인 대용량 2MB L2 캐시를 공유한다. 대용량 128 엔트리 깊이의 비순차 버퍼는 L2 캐시 지연을 대부분 감추어 준다. 2MB L2 캐시는 32KB L1 캐시와 함께 작동하며 시스템 메모리로의 오프칩 인출을 최소화함으로써 성능을 높이고 소모 전력을 줄인다. 온칩 SRAM 인출 작업보다 DRAM 인출 작업에 더 많은 전력이 소모되기 때문이다.

쿼드 코어 Cortex-A15 아키텍처는 L2 캐시의 구현 방식에 있어서 Qualcomm Krait 아키텍처와 크게 다르다. Krait 와 달리 엔비디아 Tegra 4 에서는 전체 2MB 캐시가 4 개 코어 모두에서 완전하게 공유된다. 하드웨어 제어를 통해 워크로드에 따라 각 코어에 할당되는 공간이 완전히 달라질 수 있다. 예를 들어 Tegra 4 에서는 특정 코어에 1280KB 를 할당하고 나머지 3 개 코어에 각각 256KB 씩 총 2MB 를 할당할 수 있다. 마찬가지로 멀티 스레드 애플리케이션이 공용 데이터 구조를 공유하는 경우 4 개 코어 모두 같은 L2 캐시 라인에 액세스할 수 있다. 이러한 워크로드를 기준으로 한 L2 캐시 공간 할당 방식은 L2 캐시의 효율성을 높이고 캐시 누락률을 추가로 줄이는 데 도움이 된다.

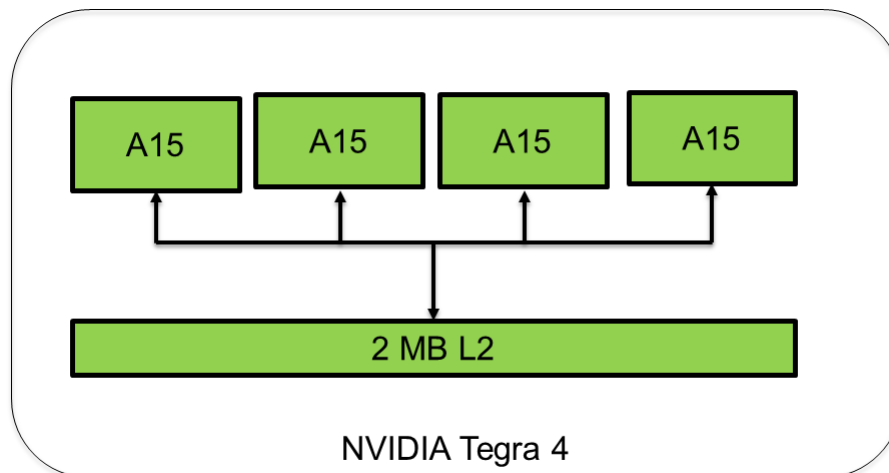


그림 7 엔비디아 Tegra 4 에서는 어떠한 CPU 에든 전체 2MB L2 캐시가 동적으로 할당될 수 있음

반면 Krait 의 경우 비동기 SMP 아키텍처의 한계로 인해 512KB 의 고정된 크기로 각 CPU 코어에 L2 캐시를 정적으로 할당한다. Krait 의 CPU 코어가 512KB 보다 큰 데이터를 사용할 경우 L2 캐시 누락률이 높아질 수밖에 없고, 따라서 성능에 크게 영향을 미치는 시스템 메모리로의 데이터 인출이 발생한다. 크기가 작은 정적 512KB 캐시가 Krait 의 성능에 미치는 영향은 실제 애플리케이션 성능을 시뮬레이션한 SPECint2K 등의 CPU 벤치마크에서도 쉽게 확인된다.

또한 코어 간에 스레드가 이동될 경우 코어는 다른 코어 L2 에서 데이터를 인출하여 로컬 L2 로 이동해야 한다. 비동기 SMP 경계에 각 코어 간의 클럭 도메인 간 싱크로나이저가 필요하기 때문에 이러한 코어 간 트래픽은 지연율을 크게 가중시킨다.

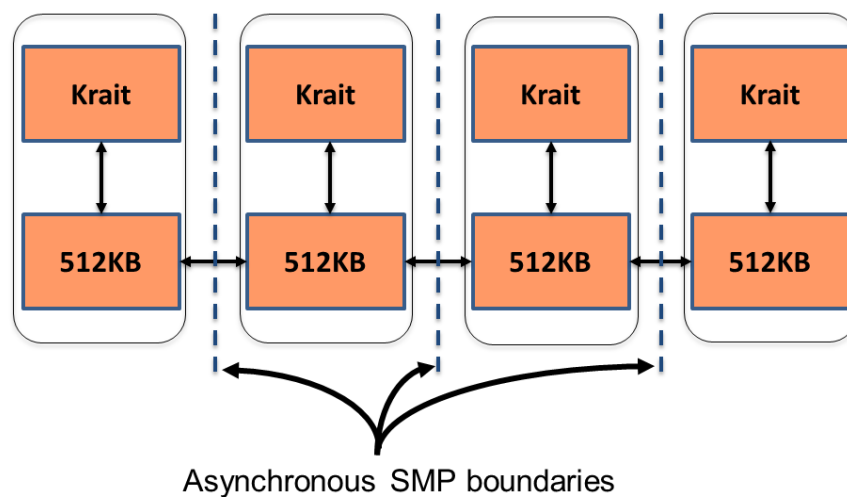


그림 8 비동기 SMP 로 인해 전체 L2 를 단일 CPU 코어에 할당할 수 없는 Krait

### 향상된 Cortex-A15 의 전력 효율

Cortex-A15 CPU 에는 높은 수준의 성능을 제공하는 기능 외에 기존 아키텍처보다 전력 효율을 높일 수 있는 몇 가지 향상된 아키텍처 기능도 포함되어 있다.

A15 아키텍처는 적극적인 전원 관리를 위해 대용량 32 엔트리 루프 버퍼를 구현한다. Cortex-A15 의 명령어 인출, 명령어 디코딩 및 분기 예측 유닛은 CPU 소비 전력의 약 40%를 소모한다. 따라서 CPU 가 루프 버퍼와 관계없이 실행될 때는 이 세 가지 요소가 비활성화되고 클럭 게이트 오프(Gated-off)된다. 아래 그림을 참조하기 바란다.

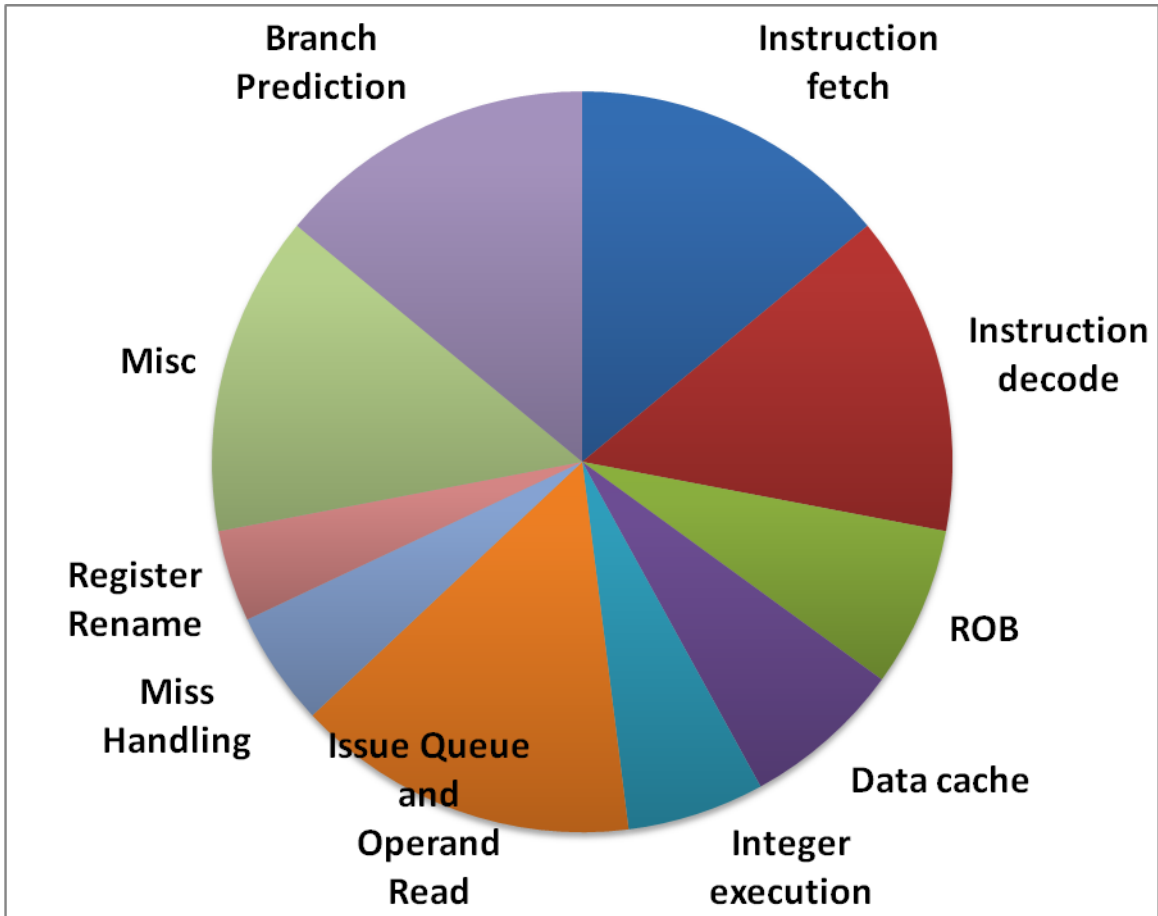


그림 9 심층적인 루프 버퍼로 CPU 코어에서 소모되는 프론트 엔드 전력의 약 40% 절감

Cortex-A15 는 전력 소모량이 너무 많을 때 비순차적 명령어 처리를 제한하여 성능과 전력 소모의 균형을 유지한다. 즉, 높은 전력 소비율로 인해 모바일 워크로드의 성능 향상 효과가 타당성을 잃지 않게 한다. 예를 들어 로드 명령어는 이전 저장 명령어보다 먼저 실행되지 않으며, 이전 저장 명령어가 실행되기 전에는 새 저장 명령어가 실행되지 않는다. 이로써 전력 소모가 큰 메모리 명확화(Memory Disambiguation) 구조가 방지된다.

또한 L1 및 L2 캐시를 포함한 설계 전반에 광범위한 클럭 및 전력 게이팅이 구현되어 전력 소모를 더욱 줄여 준다.

### 다섯 번째 배터리 세이버 CPU 코어

엔비디아 Tegra 4 제품군의 쿼드 코어 CPU 아키텍처에는 4 개의 고성능 CPU 코어 외에 배터리 세이버 CPU 코어가 하나 더 포함되어 있다. 이 아키텍처의 다섯 번째배터리 세이버 CPU 코어는

저전력으로 작동하도록 최적화되어 있고 저전력으로 작동되는 트랜지스터를 사용하여 제작되었다. 전력 효율이 탁월한 이배터리 세이버 코어는 백그라운드 이메일 동기화, 소셜 미디어 동기화, 오디오 재생, 비디오 재생, 책 읽기 등 요구 성능이 낮은 다양한 작업을 관리하는 데 초점을 맞추고 있다.

배터리 세이버 코어는 요구 성능이 낮은 작업을 처리하도록 설계되었으며, 이러한 작업은 일반적으로 2MB L2 캐시를 완전하게 활용하지 않는다. 따라서 전력을 더욱 절감할 수 있도록 배터리 세이버 코어에는 자체 512KB L2 캐시가 탑재되었다. 주 CPU 코어가 꺼지면 2MB L2 캐시가 비워지고 전력을 절약하기 위해 전원 게이팅된다. 배터리 세이버 코어는 크기가 더 작고 전력 소모가 적은 512KB L2 캐시를 사용하여 작동한다.

전력 소모가 커 고성능 쿼드 코어 A15 CPU 컴플렉스를 사용하는 의미가 없는 경우 Tegra 4 는 주 쿼드 CPU 컴플렉스의 전원을 완전히 끄고 배터리 세이버 코어로 전환한다. 주 쿼드 코어 A15 CPU 컴플렉스와 배터리 세이버 CPU 코어 간의 전환은 엔비디아의 2 세대 vSMP(Variable Symmetric Multiprocessing) 기술을 통해 관리된다. 이 기술은 비동기 SMP 기술을 기반으로 한 Qualcomm Krait 아키텍처보다 훨씬 높은 수준의 전력 효율을 제공한다.

엔비디아 Tegra 4 의 4+1 쿼드 코어 프로세서는 vSMP 기술을 기반으로 다음과 같은 막대한 아키텍처상의 이점을 제공한다.

- **캐시 일관성:** vSMP 기술은 배터리 세이버 코어와 주 고성능 코어가 동시에 활성화되는 것을 허용하지 않기 때문에 서로 다른 속도로 실행되는 코어 간에 캐시를 동기화하는 데 따른 페널티가 발생하지 않는다. 반면 ASMP 는 높은 주파수로 작동하는 코어가 훨씬 낮은 주파수로 실행되는 코어와 데이터 동기화를 시도할 때 캐시 동기화에 따른 페널티를 발생시킨다. 이로 인해 높은 주파수로 작동하는 코어의 성능을 저하시킬 뿐만 아니라 코어 간에 추가적인 동기화 하드웨어가 필요하게 되어 전력 소모가 커진다. 게다가 비동기 클러킹을 지원하기 위해 Krait 아키텍처는 정적 L2 캐시 할당에 의존하므로 각 CPU 에 사용 가능한 L2 캐시 공간이 불과 512KB 로 제한된다. 가용 캐시 공간이 줄면 L2 캐시 적중률에 영향을 주고 오프칩 메모리 인출이 늘어나 전력 소모가 커지며 메모리 지연율이 높아져 CPU 성능도 저하된다.



**OS 효율성:** Android OS 와 WinRT OS 는 모든 가용 CPU 코어가 동일하고 성능이 비슷하다고 간주한다. 이러한 가정을 근거로 OS 는 여러 CPU 코어에 작업을 스케줄링한다. 여러 CPU 코어가 서로 다른 비동기 주파수로 실행될 경우 코어 간에 성능 차이가 발생하게 된다. 이는 OS 스케줄링의 효율을 저하시키는 원인이 될 수 있다. 반면 vSMP 기술은 항상 모든 활성 코어를 비슷한 동기 작동 주파수로 유지하여 최적화된 OS 스케줄링을 보장한다. vSMP 가 배터리 세이버 코어에서 하나 이상의 주 CPU 코어로 전환할 때도 CPU 관리 로직은 최종 사용자가 인식하지 못할 정도의 원활한 전환을 보장하고 OS 스케줄링의 효율성을 저하시키지 않는다.

엔비디아 Tegra 의 4+1 CPU 아키텍처와 vSMP 기술에 대한 자세한 내용은 [Variable SMP – A Multi-Core CPU architecture for High Performance and Low Power](#) 백서를 참조하기 바란다.

## 결론

스마트폰과 태블릿은 개인용 컴퓨팅 장치로서 그 사용 범위가 갈수록 확대되고 있다. 지금의 스마트폰은 더 이상 전화, 문자 메시지, 간단한 웹 브라우징으로 그 용도가 국한되지 않는다. 이제 모바일 장치에서도 사진 편집, 워드 프로세싱, 여러 탭의 웹 브라우징, 풍부한 그래픽의 첨단 게임, 멀티태스킹 등 PC 급의 모바일 애플리케이션 활용 사례가 가능해졌고, 그에 따라 이러한 장치의 성능 요구 사항도 높아지고 있다. 엔비디아 Tegra 4 모바일 SoC 제품군의 쿼드 코어 CPU 에는 차세대 모바일 애플리케이션에 걸맞은 높은 성능을 제공하는 몇 가지 주요한 기능 향상 요소가 반영되었다. 또한 Tegra 4 의 쿼드 코어 Cortex-A15-CPU 컴플렉스에는 명령어 레벨 병렬성을 높이고 비순차 윈도우를 확대하고 분기 예측을 향상시켜 지연율을 낮추고 효율성을 높이는 실행 리소스가 추가되었다. 대용량 데이터 캐시와 더 커진 L2 캐시가 탑재되어 전반적인 데이터 및 명령어 액세스 속도가 향상되고 캐시 누락으로 인한 페널티도 줄었다.

Tegra 4i 의 쿼드 코어 Cortex-A9 r4 프로세서는 더 커진 이력 버퍼로 향상된 분기 예측 기능, 더 커진 TLB 크기, 프리페처 유닛 등 Cortex-A15 급의 여러 가지 향상된 기능들이 추가되어 표준 Cortex-A9 아키텍처보다 훨씬 높은 성능과 전력 효율을 제공한다.

이러한 향상된 기능의 이점은 업계에서 신뢰받는 SPECint2000 벤치마크의 결과에서 쉽게 확인할 수 있다. 이 벤치마크는 워드 프로세싱, 게임, 데이터베이스, 파일 압축 등 실제 애플리케이션에서 발생하는 워크로드를 시뮬레이션하도록 고안되었다. SPECint2000 와 기타 벤치마크의 결과는 Tegra 4 쿼드 코어 CPU 아키텍처 제품군이 차세대 모바일 애플리케이션에서 나타날 것으로 예상되는 워크로드를 처리하는 데 있어 경쟁 아키텍처보다 훨씬 성능이 뛰어나다는 점을 잘 보여 준다.

무엇보다 Tegra 4 프로세서 제품군은 탁월한 전력 효율을 자랑하며, 동일한 워크로드를 실행할 때 이전 세대 Tegra 3 프로세서에 비해 전력 소모가 30% 적다.

## 부록

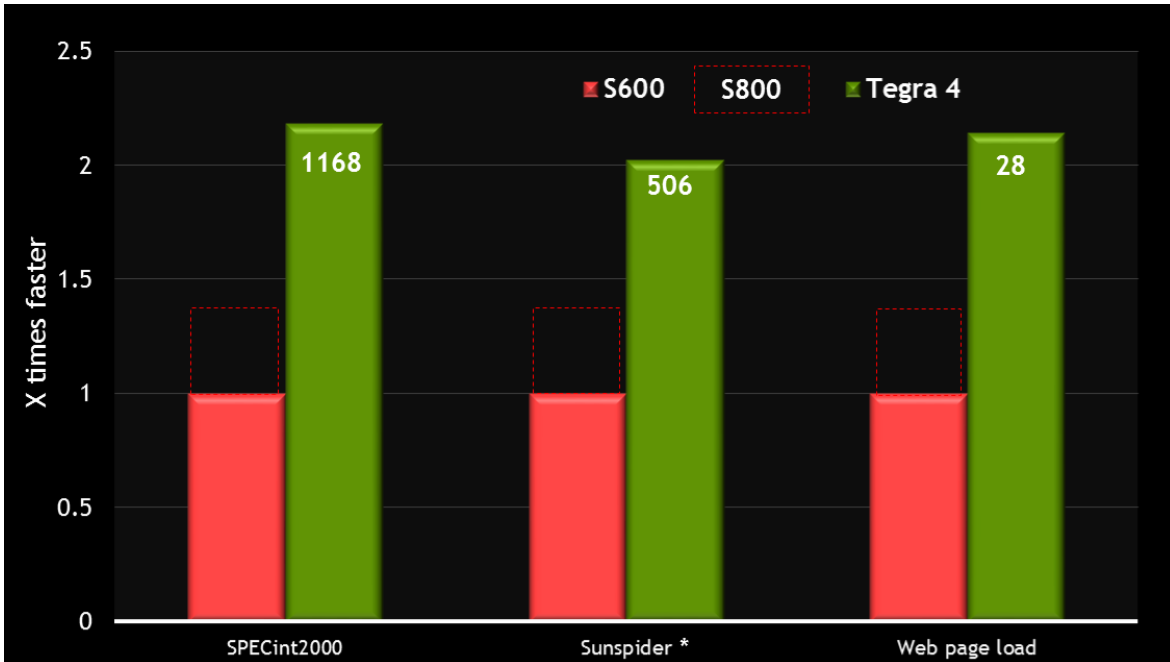


표 10 CPU 및 웹 벤치마크에서 나타난 Tegra 4 와 경쟁제품의 성능

	벤치마크	결과
CPU 및 시스템	SpecINT2000	1168
	Sunspider 0.91	506 밀리초
	Web Page Load	28 초
	WebGL Aquarium(물고기 50 마리)	60fps
	Google Octane	4582
	Kraken 1.1	6799 밀리초
	Geekbench 1.0	4285
	Antutu 3.1.1	36127
	Quadrant Pro 2.0	16449
	CFBench 1.1	41227
GPU	GLBench 2.5 HD Egypt(1080p offscreen)	57fps
	GLBench 2.5 HD Classic(720p offscreen)	274fps
	Basemark ES 2 Hoverjet	59fps

표 1 Tegra 4 의 벤치마크 측정 결과

## **고지**

논평, 의견, NVIDIA 설계 사양, 참조 보드, 파일, 그림, 진단, 목록 및 기타 문서(통칭 "자료")를 비롯하여 본 백서에서 제공하는 모든 정보는 "있는 그대로" 제공됩니다. NVIDIA는 자료와 관련하여 명시적, 묵시적, 법적 또는 기타 어떠한 형태의 보증도 하지 않으며, 비침해성, 상품성 및 특정 목적에의 적합성과 관련한 모든 묵시적 보증을 명시적으로 부인합니다.

여기에 포함된 정보는 정확하고 신뢰할 수 있다는 믿음에 따라 제공됩니다. 단, NVIDIA Corporation은 그러한 정보의 사용으로 인해 발생하는 결과나 그 사용으로 인해 발생하는 특허권 또는 기타 제3자 권리의 침해에 대해서 책임을 지지 않습니다. NVIDIA Corporation의 특허 또는 특허권상 어떠한 사용권도 묵시적 또는 다른 방식으로 허용되지 않습니다. 본 발행물에 언급된 사양은 별도의 통보 없이 변경될 수 있습니다. 본 발행물은 이전에 제공된 모든 정보에 우선하며 그러한 정보를 대체합니다. NVIDIA Corporation의 명시적인 서면 동의 없이는 생명 유지 장치 또는 시스템의 중요 구성 요소로 사용이 허용되지 않습니다.

## **상표**

NVIDIA, NVIDIA 로고, Chimera 및 Tegra는 미국 및 기타 국가에서 NVIDIA Corporation의 상표 또는 등록상표입니다. 기타 회사명과 제품명은 관련된 해당 회사의 상표일 수 있습니다.

## **저작권**

© 2013 NVIDIA Corporation. All rights reserved.